

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: **100183870 B1**
(43)Date of publication of application: **16.12.1998**

(21)Application number: **1019960018518**
(22)Date of filing: **29.05.1996**

(71)Applicant: **SAMSUNG ELECTRONICS CO., LTD.**
(72)Inventor: **BAE, YONG CHEOL
LEE, JEONG BAE**

(51)Int. Cl **G11G 11/407**

(54) SYNCHRONOUS MIRROR DELAY CIRCUIT

(57) Abstract:

PURPOSE: A synchronous mirror delay circuit is provided to widen an operation domain without increasing a layout area even though an external clock inputted is low frequency.

CONSTITUTION: An output buffer(21) delays an external clock(CLK) by the first delay time(d1) and outputs the first internal clock(PCLK). A delay monitoring circuit(23) delays the first internal clock(PCLK) by the second delay time(d1+d2). A forward delay array(25), composed of the first to the nth unit delay(251-25n) connected sequentially in serial, delays the output(DOUT) of the delay monitoring circuit(23) by the third delay time. A mirror control circuit(27) inverts the output(FOUT_i, i="1-n") of the forward delay array(25) in response to the first internal clock(PCLK). A reverse delay array(29), composed of the first to the nth unit delay(291-29n) connected sequentially in serial, delays the output(MOUT_i, i="1-n") of the mirror control circuit(27) by the third delay time. A clock driver(31) delays the output of the reverse delay array(29) by the fourth delay time(d2) and outputs the second internal clock(PCLK_M)..

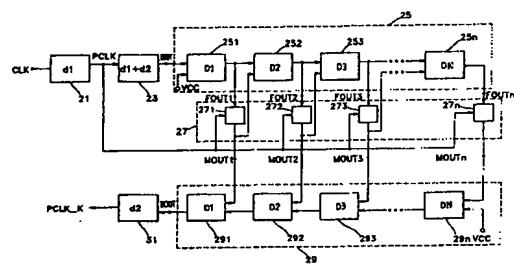
COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (19981130)

Patent registration number (1001838700000)

Date of registration (19981216)



등록특허번호 제0183870호(1999.04.15) 1부.

[첨부그림 1]

특 0183870

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. G11G 11/407	(45) 공고일자 1999년04월15일
(21) 출원번호 1996-018518	(11) 등록번호 특0183870
(22) 출원일자 1996년05월29일	(24) 등록일자 1999년12월16일
	(65) 공개번호 특 1997-076643
	(43) 공개일자 1997년12월12일

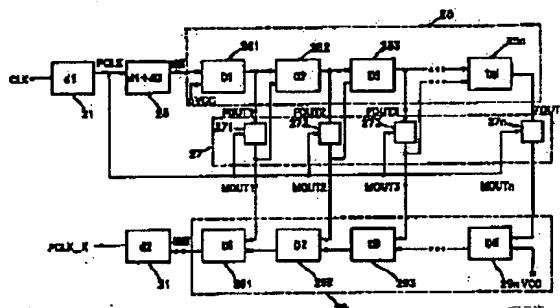
(73) 특허권자
삼성전자주식회사 김광호
경기도 수원시 팔달구 매단동 416번지
이정배
(72) 발명자
경기도 군포시 산본동 수리한양 아파트 810동 501호
배용철
(74) 대리인
서울특별시 강남구 테헤란로 123호 1105호
이영필, 권석희, 노민식

(54) 선크로너스 미러 딜레이 회로

요약

본 발명은 선크로너스 미러 딜레이 회로에 관한 것이다. 본 발명은 외부클락을 제1지연시간으로 지연시켜 제1내부클락을 출력하는 출력버퍼와, 상기 제1내부클락을 제2지연시간으로 지연시키는 딜레이 모니터링 회로와, 서로 다른 지연시간을 갖는 제1 내지 제n단위지연기(n2)로 구성되고, 상기 딜레이 모니터링 회로의 출력을 제3지연시간으로 지연시키는 정방향 딜레이 어레이와, 상기 제1내부클락에 응답하여 상기 정방향 딜레이 어레이의 출력을 반전시키는 미러 제어회로와, 서로 다른 지연시간을 갖는 제1 내지 제n단위지연기(n2)로 구성되고, 상기 미러 제어회로의 출력을 제3지연시간으로 지연시키는 역방향 딜레이 어레이와, 상기 역방향 딜레이 어레이의 출력을 제4지연시간으로 지연시키는 제2내부클락을 출력하는 블럭 드라이버를 포함하는 것을 특징으로 한다. 따라서 본 발명은 저주파, 즉 긴 주기를 갖는 외부클락에 턱팅되는 내부클락을 발생하는데 적은 수의 단위지연기가 소요되고, 이에 따라 레이아웃 면적이 감소될 수 있다.

도면도



방세서

[발명의 명칭]
선크로너스 미러 딜레이 회로
[도면의 간단한 설명]

- 제1도는 종래의 선크로너스 미러 딜레이 회로의 블럭도.
- 제2도는 본 발명의 실시예에 따른 선크로너스 미러 딜레이 회로의 블럭도.
- 제3도는 정방향 딜레이 어레이와 역방향 딜레이 어레이의 단위지연기의 회로도.
- 제4도는 제2도의 선크로너스 미러 딜레이 회로의 동작 타이밍도.

[발명의 상세한 설명]

본 발명은 외부에서 공급되는 시스템 클럭에 의해 구동되는 동기화된 시스템 디램(Synchronous DRAM)에 관한 것으로, 특히 시스템 클럭에 동기되는 내부클럭을 발생하는 시스템 미러 딜레이(Synchronous Mirror Delay) 회로에 관한 것이다.

통상적으로 시스템 디램은, 외부로부터 공급되는 시스템 클럭(이하 외부클럭이라 함)을 버퍼링하여 그 내부에서 필요로 하는 내부클럭을 출력하는 클럭버퍼를 포함하고 있다. 내부클럭은 외부클럭에 동기되어 첨내의 각 부분으로 공급되어야 하며, 시스템 디램의 클럭 액세스타임(Clock Access Time, t_{AS})을 줄이기 위해서는 내부클럭과 외부클럭의 위상차가 적어야 한다.

그러나 상기와 같은 클럭버퍼는 단순히 외부클럭을 버퍼링하여 첨의 내부에 공급하므로, 외부클럭과 내부클럭사이에는 위상차, 즉 스케이프(Skew)가 필연적으로 발생한다.

외부클럭과 내부클럭의 스케이프를 최소화하기 위하여 PLL(Phase Lock Loop), DLL(Delay Lock Loop), 등을 사용할 수 있으나, PLL, DLL등은 인식시간(Aquisition Time)이 느리고 소비전력(Power Consumption)이 많은 단점이 있다. 따라서 클럭스케일 최소화하기 위한 많은 연구가 이루어졌으며, 그中最적인 것은 전압제어 딜레이라인(Voltage Controlled Delay Line)을 사용하는 시스템 미러 딜레이 라인(Synchronous Delay Line, SDL) 회로이다. 또한 최근에는 이를 개선한 시스템 미러 딜레이(Synchronous Mirror Delay, SMD) 회로가 시스템 디램에 채용되고 있다.

이를 PLO(Phase Locking Delay)를 이용한 회로들이 갖는 기본적인 문제점은, 저주파, 즉 긴 주기를 갖는 외부클럭에 동기되는 내부클럭을 발생하기 위해서는 긴 딜레이 요소(Delay Element)의 연결이 필요하며, 이에 따라 레이아웃 면적(Layout Area)이 증가한다는 것이다. 특히 시스템 미러 딜레이 회로는, 단순히 논리게이트들로만 구성된 미러 제어회로(Mirror Control Circuit)가 미러 형태의 정방향 딜레이 어레이(Forward Delay Array, FDA)와 역방향 딜레이 어레이(Backward Delay Array, BDA)의 연결을 제어함으로써, 시스템 미러 딜레이 회로의 입력인 외부클럭과 출력인 내부클럭의 위상을 딱킹(Locking)시킨다. 때문에 시스템 미러 딜레이 회로는, 운도 및 공정변화에 민감하지 않은 장점이 있으나, 입력되는 외부클럭이 저주파일 경우에는 레이아웃 면적이 크게 증가하지 않으면서 동시에 동작영역을 넓은 시스템 미러 딜레이 회로가 필요하다.

제1도는 증거의 시스템 미러 딜레이 회로의 블럭도를 나타낸다.

제1도를 참조하면, 상기 증거의 시스템 미러 딜레이 회로에서는, 클럭버퍼(1)가 외부에서 입력되는 외부클럭(CLK)을 제1지연시간(d₁)으로 지연시켜 제1내부클럭(PCLK₁)을 출력한다. 딜레이 모니터링 회로(3)는 제1내부클럭(PCLK₁)을 제2지연시간(d₁+d₂)으로 지연시켜 출력신호(BOUT₁)로 출력한다. 여기에서 제2지연시간은 클럭버퍼(1)에서의 지연시간(d₁)과 클럭 드라이버(11)에서의 지연시간(d₂)을 합한 시간이 되도록 구성되어 있다.

정방향 딜레이 어레이(5)는 미러 제어회로(?)의 출력신호(BOUT₁, i는 1 내지 n)에 의해 제어되고, 딜레이 모니터링 회로(3)의 출력(BOUT₁)은 제3지연시간으로 지연시켜 출력신호(FOUT₁, i는 1 내지 n)로 출력된다.

미러 제어회로(?)는 제1내부클럭(PCLK₁)에 응답하여 정방향 딜레이 어레이(5)의 출력신호(FOUT₁, i는 1 내지 n)를 반전시켜 출력신호(BOUT₁, i는 1 내지 n)로 출력한다. 역방향 딜레이 어레이(9)는 미러 제어회로(?)의 출력신호(BOUT₁, i는 1 내지 n)를 정방향 딜레이 어레이의 지연시간과 동일한 제3지연시간으로 지연시켜 출력신호(BOUT₁)로 출력한다. 제3지연시간은 제1내부클럭(PCLK₁)의 주기에서 제2지연시간(d₁+d₂)을 뺀 시간이 되도록 구성되어 있다. 클럭 드라이버(11)는 역방향 딜레이 어레이(9)의 출력신호(BOUT₁)를 제4지연시간(d₂)으로 지연시켜 외부클럭(CLK)에 동기되는 제2내부클럭(PCLK₂)을 출력한다.

상기 정방향 딜레이 어레이(5)는 동일한 지연시간(d₀)을 갖는 제1 내지 제n 단위지연기(51 내지 5n)들의 직렬접속으로 구성된다. 상기 미러 제어회로(?)는 제1내부클럭(PCLK₁)에 딜레이 모니터링 회로(3)의 출력신호(FOUT₁, i는 1 내지 n)를 각각 반전시키는 제1 내지 제n단위지연기(71 내지 7n)를 포함한다. 상기 역방향 딜레이 어레이(9)는 상기 정방향 딜레이 어레이(5)의 단위지연기와 동일한 지연시간(d₀)을 갖는 제1 내지 제n단위지연기(91 내지 9n)들의 직렬접속으로 구성된다.

상술하였듯이 시스템 미러 딜레이 회로가 외부클럭(CLK)에 딱킹, 즉 동기되는 제2내부클럭(PCLK₂)을 발생하기 위해서는 정방향 딜레이 어레이(5)가 제3지연시간, 즉 외부클럭(CLK) 또는 제1내부클럭(PCLK₁)의 주기에서 딜레이 모니터링 회로(3)의 지연시간(d₁+d₂)을 뺀 시간 만큼 지연시켜야 한다.

예컨대, 정방향 딜레이 어레이(5)의 각 단위지연기가 0.2nsec의 동일한 지연시간을 갖고 딜레이 모니터링 회로(3)의 지연시간을 갖는다면, 40nsec 주기(t_{CK})의 외부클럭을 딱킹하기 위해서는 (40-2)/0.2=190단의 단위지연기로 필요하게 된다.

따라서 상술한 증거의 시스템 미러 딜레이 회로는 저주파, 즉 주기가 긴 외부클럭에 동기되는 내부클럭을 발생하기 위해서는 많은 수의 단위지연기가 필요하게 되어, 레이아웃 면적이 크게 증가하는 문제점이 있다.

따라서 본 발명의 목적은 입력되는 외부클럭이 저주파일 경우에도 레이아웃 면적이 증가하지 않으면서 동시에 동작영역을 넓힐 수 있는 시스템 미러 딜레이 회로를 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명에 따른 시스템 미러 딜레이 회로는, 외부클럭을 제1지연시간으로 지연시켜 제1내부클럭을 출력하는 클럭버퍼와, 상기 제1내부클럭을 제2지연시간으로 지연시키는 딜레이 모니터링 회로와, 서로 다른 지연시간을 갖는 제1 내지 제n단위지연기(n)가 정방향으로 순차적으로 직렬 연결되어 구성되고, 상기 딜레이 모니터링 회로의 출력을 제3지연시간으로 지연시키는 정방향 딜레이 어레이와, 상기 제1내부클럭에 응답하여 상기 정방향 딜레이 어레이의 출력을 반전시키는 미러 제어회로, 서로 다른 지연시간을 갖는 제1 내지 제n단위지연기(n)가 역방향으로 순차적으로 직렬연결되어 구성되고

[첨부그림 3]

록 0183870

상기 미러 제어회로의 출력을 제3지연 시간으로 지연시키는 역방향 딜레이 어레이와, 상기 역방향 딜레이 어레이의 출력을 제4지연 시간으로 지연시켜 제2내부클락을 출력하는 클럭 드라이버를 포함하는 것을 특징으로 한다.

비량적한 실시예에 의하면, 상기 정방향 딜레이 어레이의 제(1+1)단위지연기의 지연시간은 제1단위지연기(1은 1 내지 (n-1))의 지연시간보다 크다. 또는 상기 정방향 딜레이 어레이의 학수번째 단위지연기의 지연시간은 서로 동일하고 흡수번째 단위지연기의 지연시간은 서로 동일하며, 학수번째 단위지연기의 지연시간이 흡수번째 단위지연기의 지연시간보다 크다.

또한 상기 역방향 딜레이 어레이의 제(1+1)단위지연기의 지연시간이 제1단위지연기(1은 1 내지 (n-1))의 지연시간보다 크다. 또는 상기 역방향 딜레이 어레이의 학수번째 단위지연기의 지연시간은 서로 동일하고 흡수번째 단위지연기의 지연시간은 서로 동일하며, 학수번째 단위지연기의 지연시간이 흡수번째 단위지연기의 지연시간보다 크다.

이하 첨부도면을 참조하여 본 발명의 바탕작한 실시예를 상세히 설명하고자 한다.

제2도는 본 발명의 실시예에 따른 스크로너스 미러 딜레이 회로의 블럭도를 나타낸다.

제2도를 참조하면, 상기 스크로너스 미러 딜레이 회로는, 외부클락(CLK)을 제1지연시간(d1)으로 지연시켜 제1내부클락(PCLK)을 출력하는 출력베판(21)과, 상기 제1내부클락(PCLK)을 제2지연시간(d1+d2)으로 지연시키는 딜레이 모니터링 회로(23)와, 서로 다른 지연시간(1은 1 내지 n)을 갖는 제1 내지 제n단위지연기(2)의 251 내지 25n가 순차적으로 직렬연결되어 구성되고 상기 딜레이 모니터링 회로(23)의 출력(0001)을 제1내부클락(PCLK)에 응답하여 상기 정방향 딜레이 어레이(25)의 출력(FOUT 1, 1은 1 내지 n)을 반전시키는 미러 제어회로(27)와, 서로 다른 지연시간(1은 1 내지 n)을 갖는 제1 내지 제n단위지연기(2)의 291 내지 29n가 순차적으로 직렬연결되어 구성되고 상기 미러 제어회로(27)의 출력(MOUT 1, 1은 1 내지 n)을 제3지연시간으로 지연시키는 역방향 딜레이 어레이(29)와, 상기 역방향 딜레이 어레이(29)의 출력을 제4지연시간(d2)으로 지연시켜 제2내부클락(HCLK_N)을 출력하는 클럭 드라이버(31)를 포함한다.

미러 제어회로(27)는 제1내부클락(PCLK) 및 정방향 딜레이 어레이(25)의 출력(FOUT 1, 1은 1 내지 n)을 각각 입력으로 하는 논드게이트로 구성된 제1 내지 제n제어기(271 내지 27n)를 포함하여 구성된다.

정방향 딜레이 어레이(25)의 1+1번재 단위지연기의 지연시간이 1번재(1은 1 내지 n-1) 단위지연기의 지연시간보다 크거나 또는 학수번째 단위지연기의 지연시간이 흡수번째 단위지연기의 지연시간보다 크게 구성된다. 정방향 딜레이 어레이(25)의 세단위지연기(251)의 두 입력은 딜레이 모니터링 회로(23)의 출력(MOUT) 및 공급전압(Vcc)에 접속되고, 제2 내지 제n단위지연기(252 내지 25n)의 두 입력은 전단의 단위지연기의 출력 및 미러 제어회로(27)의 제1 내지 제(n-1)(271 내지 27(n-1))제어기의 각 출력(MOUT 1 내지 MOUT(n-1))에 접속된다.

역방향 딜레이 어레이(29)의 1+1번재 단위지연기의 지연시간이 1번재(1은 1 내지 n-1) 단위지연기의 지연시간보다 크거나 또는 학수번째 단위지연기의 지연시간이 흡수번째 단위지연기의 지연시간보다 크게 구성된다. 역방향 딜레이 어레이(29)의 제n단위지연기(29n)의 두 입력은 미러 제어회로(27)의 제(n-1)제어기(27)의 출력(MOUT 1, 1은 1 내지 n-1)에 접속된다. 역방향 딜레이 어레이(29)의 제n단위지연기(29n)의 두 입력은 미러 제어회로(27)의 제1 내지 제(n-1)(271 내지 27(n-1))제어기의 각 출력(MOUT 1 내지 MOUT(n-1))에 접속된다.

제3도는 제2도의 정방향 딜레이 어레이와 역방향 딜레이 어레이의 단위지연기의 회로도로서, 두개의 입력(IH1, IH2)을 갖는 논드게이트(ND)와 논드케이트(ND)의 출력을 인버팅하는 인버터(I)로 구성된다. 정방향 딜레이 어레이와 역방향 딜레이 어레이의 각 단위지연기의 서로 다른 지연시간은 논드게이트(ND)와 인버터(I)의 트랜지스터 크기를 조절하고 RC 지연요소를 추가함으로써 조절할 수 있다.

제4도는 제2도의 스크로너스 미러 딜레이 회로의 동작 타이밍도로서, 제4도를 참조하여 동작을 살펴보면 다음과 같다.

외부에서 시 입력되는 외부클락(CLK)은 제1지연시간(d1) 만큼 지연되어 제1내부클락(PCLK)으로 출력된다. 제1내부클락(PCLK)은 딜레이 모니터링 회로(23)에서 제2지연시간(d1+d2) 만큼 지연되어 출력(MOUT)으로 출력된다. 제1내부클락(PCLK)의 n번재 논리 하이인 구간이 정방향 딜레이 어레이(25)를 통해 전달되다가 제3지연시간(tCC-d1-d2), tCC는 PCLK의 주기 후에 정방향 딜레이 어레이(25)의 1번재(1은 1 내지 n) 단위지연기의 출력(MOUT 1)이 논리 하이인 경우, 이때 제1내부클락(PCLK)의 (n-1)번재 논리 하이인 구간이 발생되면, 미러 제어회로(27)의 1번재 제어기의 출력(MOUT 1)은 논리로우가 된다.

다음에 미러 제어회로(27)의 1번재 제어기의 출력(MOUT 1)은 역방향 딜레이 어레이(29)를 통해 전달되어 제3지연시간(tCC-d1-d2), tCC는 PCLK의 주기 후에 출력(MOUT)으로 출력된다. 역방향 딜레이 어레이(29)의 출력(MOUT)은 클럭 드라이버(31)에서 제4지연시간(d2) 만큼 지연되어 제2내부클락(HCLK_N)으로 출력된다.

따라서 제2내부클락(HCLK_N)은 외부클락(CLK)으로부터 약 2tCC 만큼 지연되어 위상이 락킹(Locking)된다. 제2내부클락(HCLK_N)이 외부클락(CLK)에 동기화된다.

따라서 상술한 본 발명에 따른 스크로너스 미러 딜레이 회로는, 1가 증가함에 따라 정방향 딜레이 어레이와 역방향 딜레이 어레이의 단위지연기의 지연시간이 증가하므로, 저주파, 즉, 긴 주기를 갖는 외부클락에 락킹되는 내부클락을 발생하는데 적은 수의 단위지연기가 소요되고, 이에 따라 레이아웃 면적이 감소될 수 있다.

(5) 첨구의 범위

첨구항 1

외부클락에 동기되는 내부클락을 발생하는 스크로너스 미러 딜레이 회로에 있어서, 외부클락을 제1지연시

[첨부그림 4]

0183870

간으로 지역시커 제1내부클락을 출력하는 클리퍼퍼: 상기 제1내부클락을 제2지연시간으로 지역시키는 딜레이 모니터링 회로; 서로 다른 지연시간을 갖는 제1 내지 제3단위지연기(n2)가 정방향으로 순차적으로 직렬연결되어 구성되고, 상기 딜레이 모니터링 회로의 출력을 제3지연시간으로 지역시키는 정방향 딜레이 어레이; 상기 제1내부클락에 유통단하여 상기 정방향 딜레이 어레이의 출력을 반전시키는 미러 제어회로; 서로 다른 지연시간을 갖는 제1 내지 제3단위지연기(n2)가 역방향으로 순차적으로 직렬연결되어 구성되고, 상기 미러 제어회로의 출력을 제3지연시간으로 지역시키는 역방향 딜레이 어레이; 상기 역방향 딜레이 어레이의 출력을 제4지연시간으로 지역시키는 제2내부클락을 출력하는 클락 드라이버를 포함하는 것과 함께 서로 다른 딜레이 회로.

첨구합 2

제1항에 있어서, 상기 정방법 딜레이 어려이의 제1 내지 제n단위자연기의 각각의 자연시간은 상기 역방법 딜레이 어려이의 제1 내지 제n단위자연기의 각각의 자연시간과 동일한 것을 특징으로 하는, 성크로너스 미러 딜레이 회로.

첨구합 3

제 7호에 있어서, 상기 정방향 달레이미 어레이의 제(i+1)단위지역기의 지역시간이 제i단위지역기(i는 1 내지 (n-1))의 지역시간보다 큰 것을 특징으로 하는 실크로너스 미러 달레이 회로.

첨구항 4

제1항에 있어서, 상기 정부방법 데레이미 어레이의 죽수번호 단위지연기의 자연시간은 서로 동일하고 풀수번호 단위지연기의 자연시간은 서로 등립하며, 풀수번호 단위지연기의 자연시간이 죽수번호 단위지연기의 자연시간보다 큰 것을 특징으로 하는 성크로노스 미러 데레이미 회로.

정구항 5

제 1항에 있어서, 상기 역방향 딜레이 어레이의 제(i+1)단위지연기의 지연시간이 제1단위지연기(i는 1 내지 (n-1))의 지연시간보다 큰 것을 특징으로 하는 스크로너스 미러 딜레이 회로.

청구항 6

제1항에 있어서, 상기 역방향 달리미 어레이의 '작수변제 단위지연기'의 '지연시간은 서로 동일하고 흡수변제 단위지연기'의 '지연시간은 서로 동일하며, 작수변제 단위지연기'의 '지연시간이 흡수변제 단위지연기의 지연시간보다 크 것을 특징으로 하는 성격로너스 미러 달리미 회로'.

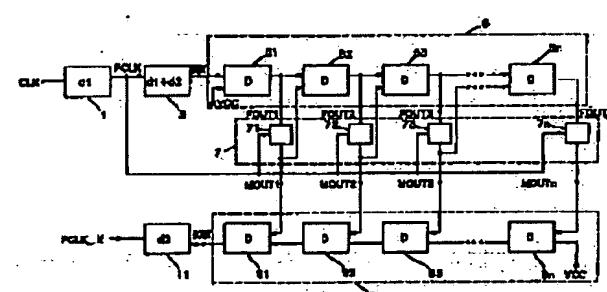
청구항 7

제1항에 있어서, 상기 제2지연시간은 상기 제1지연시간과 상기 제4지연시간을 합한 시간인 것을 특징으로 하는 스크로너스 미리 딜레이 회로.

청구항 8

제1항에 있어서, 상기 제3지연시간은 상기 제1내부주택의 주기의 정수배에서 상기 제2지연시간을 뺀 시간인 것을 특징으로 하는 스크로너스 미라 딜레이 회로.

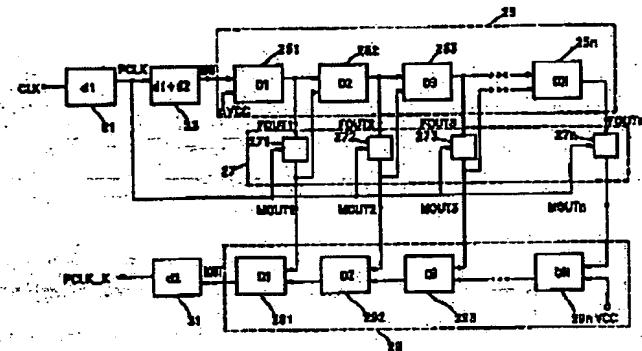
三



[첨부그림 5]

0163870

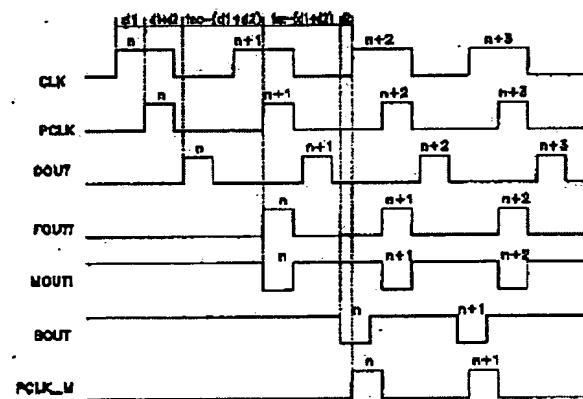
도면2



도면3



도면4



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.